

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08321186 A**(43) Date of publication of application: **03.12.96**

(51) Int. Cl.

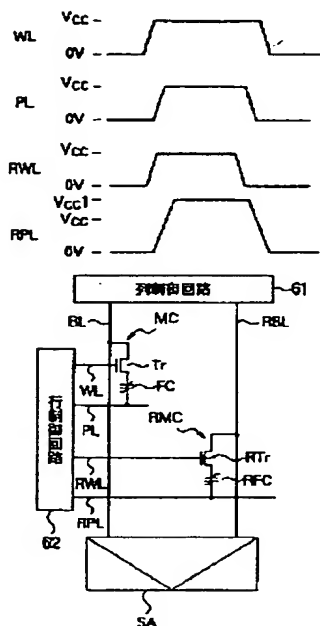
G11C 14/00
G11C 11/22
(21) Application number: **07312618**(22) Date of filing: **30.11.95**(30) Priority: **23.03.95 JP 07 64318**(71) Applicant: **SONY CORP**(72) Inventor: **EMORI TAKAYUKI**
OSAWA TOSHIMASA(54) **FERROELECTRIC MEMORY**

(57) Abstract:

PURPOSE: To accurately read information stored in a memory cell by applying a voltage of the same polarity higher than the voltage applied to a second electrode of the cell to the second electrode of a reference cell.

CONSTITUTION: After the voltage of the signal applied to word lines ML, RWL rose from 0V to a power source voltage 'Vcc' by a controller 62, the voltage of the signal applied to a plate line PL rises from 0V to a voltage 'Vcc', and the voltage of the signal applied to the plate line RPL rises from 0V to a voltage 'Vcc1'. In this case, the voltage Vcc1 applied to the line PL is the higher voltage than the power source voltage Vcc, and generated by a bootstrap circuit. In this case, the voltage Vcc1 is so decided as to obtain a hysteresis loop for suitable reading according to the qualities of the ferroelectric capacitors FC, RFC.

COPYRIGHT: (C)1996,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-321186

(43) 公開日 平成8年(1996)12月3日

(51) Int.Cl.⁶

G 1 1 C 14/00
11/22

識別記号

庁内整理番号

F I

G 1 1 C 11/34
11/22

技術表示箇所

3 5 2 A

審査請求 未請求 請求項の数 4 O L (全 11 頁)

(21) 出願番号 特願平7-312618

(22) 出願日 平成7年(1995)11月30日

(31) 優先権主張番号 特願平7-64318

(32) 優先日 平7(1995)3月23日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 江守 孝之

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 大澤 俊政

東京都品川区北品川6丁目7番35号 ソニー株式会社内

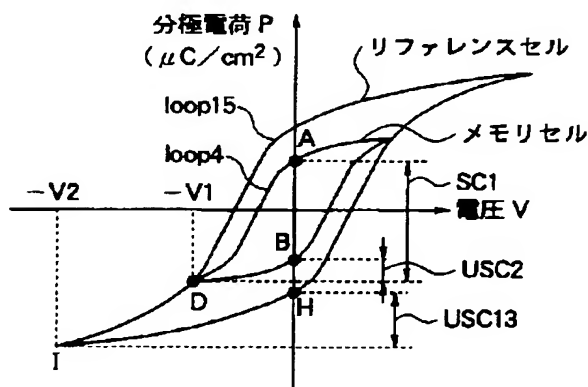
(74) 代理人 弁理士 佐藤 隆久

(54) 【発明の名称】 強誘電体記憶装置

(57) 【要約】

【目的】 チップ面積の縮小化を図れる強誘電体記憶装置を提供する。

【構成】 読み出し時において、メモリセルMCの強誘電体キャパシタFCには電圧「-V1」が印加され、FCの分極電荷はloop4に沿って変化する。一方、リファレンスメモリセルRMCの強誘電体キャパシタRFCには電圧「-V1」より絶対値が大きな電圧「-V2」が印加され、RFCの分極電荷はloop15に沿って変化する。すなわち、MCに記憶された「1」, 「0」を読み取る場合には分極電荷の移動量はそれぞれSC1, USC2となる。一方、RMCの分極電荷の移動量は常にUSC13となる。このとき、USC13は、SC1より小さく、USC2より大きい。



1

【特許請求の範囲】

【請求項1】第1および第2のビット線のいずれか一方に接続されたスイッチングトランジスタと、第1および第2の電極を有し、当該スイッチングトランジスタに第1の電極が接続された強誘電体キャパシタとからなる記憶セルと、当該記憶セルと同一構成を有し、スイッチングトランジスタが記憶セルが接続されたビット線と異なるビット線に接続された参照セルとを備え、スイッチングトランジスタが導通状態にあるときに両ビット線間の電位差を検出してデータの読み出しを行う強誘電体記憶装置であって、

読み出し動作時に、前記記憶セルの強誘電体キャパシタの第2の電極に対して第1の電圧を印加し、前記参照セルの強誘電体キャパシタの第2の電極に対して、当該第1の電圧と同一極性で、かつ、第1の電圧より高い第2の電圧を印加する電圧印加手段を有する強誘電体記憶装置。

【請求項2】前記参照セルの強誘電体キャパシタは、前記記憶セルの強誘電体キャパシタの面積と略同じ面積を持つ請求項1に記載の強誘電体記憶装置。

【請求項3】第1および第2のビット線のいずれか一方に接続されたスイッチングトランジスタと、第1および第2の電極を有し、当該スイッチングトランジスタに第1の電極が接続された強誘電体キャパシタとからなる記憶セルと、当該記憶セルと同一構成を有し、スイッチングトランジスタが記憶セルが接続されたビット線と異なるビット線に接続された参照セルとを備え、スイッチングトランジスタが導通状態にあるときに両ビット線間の電位差を検出してデータの読み出しを行う強誘電体記憶装置であって、

読み出し動作時に、前記記憶セルの強誘電体キャパシタの第2の電極に対して第1の電圧を印加し、前記参照セルの強誘電体キャパシタの第2の電極に対して、当該第1の電圧と反対の極性の第2の電圧を印加する電圧印加手段を有する強誘電体記憶装置。

【請求項4】前記参照セルの強誘電体キャパシタは、前記記憶セルの強誘電体キャパシタの面積と略同じ面積を持つ請求項3に記載の強誘電体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、強誘電体の分極反転を利用した強誘電体記憶装置に関する。

【0002】

【従来の技術】分極電荷と印加される電圧との間の関係にヒステリシスな特性を有する強誘電体の分極反転を利用した強誘電体不揮発性メモリの方式としては、現在さまざまなものが提案されているが、その中の代表的なもの1つとして、1つのスイッチングトランジスタと1つの強誘電体キャパシタにより1ビットを構成する1Tr-1Cap方式がある。

2

【0003】図9は、1Tr-1Cap方式を採用した不揮発性メモリの基本的な1ビット構成を示す図である。図9に示すように、メモリセルMCは、ビット線BLに対しドレインが接続されたnチャネルMOSトランジスタからなるスイッチングトランジスタTrと、スイッチングトランジスタTrのソースに対し一方の電極が接続された記憶用強誘電体キャパシタFCによって1ビットが構成されており、スイッチングトランジスタTrのゲートがワード線WLに接続され、記憶用強誘電体キャパシタFCの他の電極（プレート電極）がプレート線PLに接続されている。

【0004】また、この1Tr-1Cap方式を採用した不揮発性メモリには、参照用のビット線RBLにドレインが接続された参照用スイッチングトランジスタRTrと、スイッチングトランジスタRTrのソースに対し一方の電極が接続された参照用強誘電体キャパシタRFCによって構成される参照セルRMCが設けられ、スイッチングトランジスタRTrのゲートが参照用ワード線RWLに接続され、参照用強誘電体キャパシタRFCの他方の電極が参照用プレート線RPLに接続されている。このような不揮発性メモリでは、列制御回路61からビット線BL、RBLに所定の電圧が印加されると共に行制御回路62からワード線WL、RWLおよびプレート線PL、RPLに所定の電圧が印加され、ビット線BLとRBLとの電位は差動センスアンプSAの入力となり、この入力された電位差が読み出し時に増幅される。

【0005】先ず、参照セルRMCに常時「0」記憶されている場合における図9に示した1Tr-1Capセルの従来の読み出し動作について図10、11を参照しながら説明する。図10は参照用セルRMCに常時「0」が記憶されている場合における図9に示す不揮発性メモリセルの従来手法の読み出し動作において、WL、PL、RWL、RPL、BL、RBLに印加される信号のタイミングチャートであり、図11は図10に示す動作における強誘電体キャパシタFC、RFCの分極電荷（P）-電圧（V）の特性曲線（ヒステリシスループ）を示すグラフである。

【0006】図9に示す1Tr-1Capセルに「1」、「0」が書き込まれている状態では強誘電体キャパシタFCの分極状態はそれぞれ図11に示す「A」、「B」になっている。一方、参照用強誘電体キャパシタRFCの分極状態は、読み出し動作開始前には、常に図11に示す「C」になっている。すなわち、参照用メモリセルRMCは、常に「0」が記憶された状態になっている。

【0007】読み出し時に、図9に示す行制御回路62によってワード線WL、RWLに印加される信号の電圧が0Vから電源電圧「Vcc」に立ち上がった後、プレート線PL、RPLに印加される信号の電圧が0Vから

3

電圧「Vcc」に立ち上がる。これによって、強誘電体キャパシタFC、RFCには図11に示すヒステリシスループの負の電圧「-V1」が印加され、強誘電体キャパシタFCの分極状態は図11に示すヒステリシスループloop4に沿って移動して最終的に「D」に変化する。このとき、強誘電体キャパシタFCの分極状態は、記憶内容が「1」である場合には反転するが、「0」である場合には反転しない。また、参照用強誘電体キャパシタRFCの分極状態は図11に示すヒステリシスループloop5に沿って移動するが、反転はせず、最終的に「E」に変化する。

【0008】このように読み出し時における強誘電体キャパシタFCの分極状態が変化する過程において、分極電荷の移動量は、「1」が書き込まれているときには図11で示されるSC(Switched Charge)1となり、「0」が書き込まれているときにはUSC(Unswitched Charge)2となる。一方、この読み出し時における参照用強誘電体キャパシタRFCの分極状態が変化する過程において、分極電荷の移動量は、図11に示されるUSC3となる。

【0009】これらの分極電荷の移動量はビット線BL、RBLの電位の大きさに反映される。すなわち、これらの分極電荷の移動量に応じてビット線BL、RBLの電位が上昇する。図9に示す不揮発性メモリでは、図10に示すように、ビット線BL、RBLの電位を差動センスアンプSAで検出して増幅することで、メモリセルMCに「1」および「0」のいずれが記憶されているかが読み取られる。具体的には、ビット線BLの電位がビット線RBLの電位に比べて大きい場合にはメモリMCには「1」が記憶されているとして読み取りを行い、一方、ビット線BLの電位がビット線RBLの電位に比べて小さい場合にはメモリMCには「0」が記憶されているとして読み取りを行う。

【0010】従って、メモリセルMCの読み取りを正確に行うためには、図11に示す参照用強誘電体キャパシタRFCの分極電荷の移動量USC3を強誘電体キャパシタFCの分極電荷の移動量SC1と分極電荷の移動量USC2との間に設定する必要がある。

【0011】このように参照用強誘電体キャパシタRFCの分極電荷の移動量USC3を強誘電体キャパシタFCの分極電荷の移動量USC2よりも大きくするために、図11に示すように、参照用強誘電体キャパシタRFCの分極電荷のヒステリシスループloop5は強誘電体キャパシタFCの分極電荷のヒステリシスループloop4に比べて、傾きが大きく飽和性が低下した特性を持つ必要がある。従来では、かかる特性を確保するために、参照用強誘電体キャパシタRFCとして、メモリセルMCの強誘電体キャパシタFCの面積に比べて大きな面積を持つものを用いている。

【0012】次に、参照用セルRMCに常時「1」が記

4

憶されている場合における図9に示した1Tr-1Capセルの従来の読み出し動作について図12、13を参照しながら説明する。図12は参照用セルRMCに常時「1」が記憶されている場合における図9に示す不揮発性メモリセルの読み出し動作において、WL、PL、RWL、RPL、BL、RBLに印加される信号のタイミングチャートであり、図13は図12に示す動作における強誘電体キャパシタFC、RFCの分極電荷(P)-電圧(V)の特性曲線(ヒステリシスループ)を示すグラフである。

【0013】図9に示す1Tr-1Capセルに「1」、「0」が書き込まれている状態では強誘電体キャパシタFCの分極状態はそれぞれ図13に示す「A」、「B」になっている。一方、参照用強誘電体キャパシタRFCの分極状態は、読み出し動作開始前には、常に図11に示す「Z」になっている。すなわち、参照用メモリセルRMCは、常に「1」が記憶された状態になっている。

【0014】読み出し時に、図9示す列制御回路61によってビット線BL、RBLを電源電圧Vccでプリチャージした後、フローティング状態とする。その後、行制御回路62によってワード線WL、RWLに印加される信号の電圧を0Vから電源電圧「Vcc」に立ち上げる。これによって、強誘電体キャパシタFC、RFCには電圧V1が印加され、強誘電体キャパシタFCの分極状態は図13に示すヒステリシスループloop4に沿って移動して最終的に「F」に変化する。このとき、強誘電体キャパシタFCの分極状態は、記憶内容が「1」である場合には反転しないが、「0」である場合には反転する。また、参照用強誘電体キャパシタRFCの分極状態は図13に示すヒステリシスループloop5に沿って移動して最終的に「G」に変化する。

【0015】このように読み出し時における強誘電体キャパシタFCの分極状態が変化する過程において、分極電荷の移動量は、「0」が書き込まれているときには図13で示される分極電荷の移動量SC6となり、「1」が書き込まれているときには分極電荷の移動量USC7となる。一方、この読み出し時における参照用強誘電体キャパシタRFCの分極状態が変化する過程において、分極電荷の移動量は、図13に示される分極電荷の移動量USC8となる。

【0016】従って、前述したように、メモリセルMCの読み取りを正確に行うためには、図13に示す参照用強誘電体キャパシタRFCの分極電荷の移動量USC8を強誘電体キャパシタFCの分極電荷の移動量SC6と分極電荷の移動量USC7との間に設定する必要がある。

【0017】このように参照用強誘電体キャパシタRFCの分極電荷の移動量USC8を強誘電体キャパシタFCの分極電荷の移動量USC7よりも大きくするために

5

は、図13に示すように、参照用強誘電体キャパシタRFCの分極電荷のヒステリシスループloop5は強誘電体キャパシタFCの分極電荷のヒステリシスループloop4に比べて、傾きが大きく飽和性が低下した特性を持つことが必要がある。すなわち、従来では、上述したように、かかる特性を確保するために、参照用強誘電体キャパシタRFCとして、メモリセルMCの強誘電体キャパシタFCの面積に比べて大きな面積を持つものを用いている。

【0018】図9に示すような不揮発性メモリでは、強誘電体キャパシタを構成する強誘電体膜の膜厚が、上述したメモリセルMCの記憶内容の読み取り動作に大きく影響する。すなわち、メモリセルMCの記憶内容の読み取りは、差動センスアンプにおいて強誘電体キャパシタFCの分極電荷の移動量SC、分極電荷の移動量USCと参照用強誘電体キャパシタRFCの分極電荷の移動量USCとの比較によって行われることから、比較の対象となる参照用強誘電体キャパシタFCとRFCとの膜厚がばらついていると、比較結果の信頼性が低下し、それによって読み取りの信頼性も低下する。

【0019】従って、図9に示すような不揮発性メモリでは、メモリセルMCのできるだけ近傍に比較の対象となる参照用メモリセルRMCを配置することで、膜厚のばらつきによる読み取り結果の信頼性低下の防止を図っている。

【0020】

【発明が解決しようとする課題】しかしながら、前述したように、メモリセルMCの強誘電体キャパシタFCに比べて大きな面積を持つ参照用セルRMCを、各メモリセルMCの近傍にそれぞれ配置すると、チップの全面積における参照用メモリセルRMCの面積の占める割合が大きくなる。そのため、チップの縮小化を図る上で、参照用メモリセルRMCの占める面積が大きな障害になっていた。

【0021】本発明は、上述した従来技術の問題点に鑑みてなされ、チップの縮小化を図れる強誘電体記憶装置を提供することを目的とする。

【0022】

【課題を解決するための手段】上述した従来技術の問題点を解決し、上述した目的を達成するために、本発明の強誘電体記憶装置は、第1および第2のビット線のいずれか一方に接続されたスイッチングトランジスタと、第1および第2の電極を有し、当該スイッチングトランジスタに第1の電極が接続された強誘電体キャパシタとからなる記憶セルと、当該記憶セルと同一構成を有し、スイッチングトランジスタが記憶セルが接続されたビット線と異なるビット線に接続された参照セルとを備え、スイッチングトランジスタが導通状態にあるときに両ビット線間の電位差を検出してデータの読み出しを行う強誘電体記憶装置であって、読み出し動作時に、前記記憶セ

6

ルの強誘電体キャパシタの第2の電極に対して第1の電圧を印加し、前記参照セルの強誘電体キャパシタの第2の電極に対して、当該第1の電圧と同一極性で、かつ、第1の電圧より高い第2の電圧を印加する電圧印加手段を有する。

【0023】また、本発明の強誘電体記憶装置は、第1および第2のビット線のいずれか一方に接続されたスイッチングトランジスタと、第1および第2の電極を有し、当該スイッチングトランジスタに第1の電極が接続された強誘電体キャパシタとからなる記憶セルと、当該記憶セルと同一構成を有し、スイッチングトランジスタが記憶セルが接続されたビット線と異なるビット線に接続された参照セルとを備え、スイッチングトランジスタが導通状態にあるときに両ビット線間の電位差を検出してデータの読み出しを行う強誘電体記憶装置であって、読み出し動作時に、前記記憶セルの強誘電体キャパシタの第2の電極に対して第1の電圧を印加し、前記参照セルの強誘電体キャパシタの第2の電極に対して、当該第1の電圧と反対の極性の第2の電圧を印加する電圧印加手段を有する。

【0024】また、本発明の強誘電体記憶装置は、好ましくは、前記参照セルの強誘電体キャパシタは、前記記憶セルの強誘電体キャパシタの面積と略同じ面積を持つ。

【0025】

【作用】本発明の強誘電体記憶装置では、読み出し動作時に、電圧印加手段によって、記憶セルの強誘電体キャパシタの第2の電極に対して第1の電圧が印加され、参照セルの強誘電体キャパシタの第2の電極に対して、当該第1の電圧と同一極性で、かつ、第1の電圧より高い第2の電圧が印加される。

【0026】このように、参照セルの第2の電極に対して記憶セルの第2の電極に印加される電圧より高い同一極性の圧を印加することで、参照セルの強誘電体キャパシタの強誘電体膜の分極電荷のヒステリシスループは、記憶セルの強誘電体キャパシタの強誘電体膜の分極電荷のヒステリシスループに比べて、傾きが大きく飽和性が低下したものになる。従って、参照セルの強誘電体キャパシタとして、記憶セルの強誘電体キャパシタと略同じ面積を持つものを用いた場合でも、読み出し動作時に、参照セルの強誘電体膜の分極状態の変化による分極電荷の移動量を、記憶セルに「1」が記憶されている場合の分極状態の変化による分極電荷の移動量と、記憶用セルに「0」が記憶されている場合の分極状態の変化による分極電荷の移動量との間に設定することができる。そのため、記憶セルに記憶された情報を正確に読み取ることができる。

【0027】また、本発明の強誘電体記憶装置では、読み出し動作時に、記憶セルの強誘電体キャパシタの第2の電極に対して第1の電圧が印加され、参照セルの強誘

7

電体キャパシタの第2の電極に対して、当該第1の電圧と反対の極性の第2の電圧が印加される。

【0028】このように、参照セルの第2の電極に対して記憶セルの第2の電極に印加される電圧と反対の極性の電圧を印加することで、参照セルの強誘電体キャパシタの強誘電体膜の分極電荷のヒステリシスループは、記憶セルの強誘電体キャパシタの強誘電体膜の分極電荷のヒステリシスループに比べて、傾きが大きく飽和性が低下したものになる。従って、参照セルの強誘電体キャパシタとして、記憶セルの強誘電体キャパシタと略同じ面積を持つものを用いた場合でも、読み出し動作時において、参照セルの強誘電体膜の分極状態の変化による分極電荷の移動量を、記憶セルに「1」が記憶されている場合の分極状態の変化による分極電荷の移動量と、記憶用セルに「0」が記憶されている場合の分極状態の変化による分極電荷の移動量との間に設定することができる。そのため、記憶セルに記憶された情報を正確に読み取ることができる。

【0029】

【実施例】以下、本発明の実施例に係わる強誘電体不揮

第1実施例

本実施例の不揮発性メモリとしては、図9に示す構成の不揮発性メモリと等価な回路のメモリを用いる。但し、本実施例の不揮発性メモリは、図9に示すメモリセルM Cの強誘電体キャパシタF Cおよび参照用メモリセルR M Cの参照用強誘電体キャパシタR F Cとして同じ分極電荷値および面積を持つものを用いている。また、読み出し時において、参照用メモリセルR M Cのプレート線R P Lに印加する電圧を、記憶用メモリセルM Cのプレート線P Lに印加する電源電圧V c cに比べて大きくし

【0030】図1は参照用メモリセルR M Cに常時「0」が記憶されている場合に、本実施例の不揮発性メモリセルの読み出し動作における図9に示すワード線W L、プレート線P L、参照用ワード線R W L、参照用プレート線R P Lに印加される信号のタイミングチャートであり、図2は図1に示す動作における図9に示す強誘電体キャパシタF C、R F Cの分極電荷(P)－電圧(V)の特性曲線(ヒステリシスループ)を示すグラフである。

【0031】本実施例に係わる不揮発性メモリの1 T r－1 C a pセルに「1」、「0」が書き込まれている状態では強誘電体キャパシタF Cの分極状態はそれぞれ図2に示す「A」、「B」になっている。一方、参照用強誘電体キャパシタR F Cの分極状態は、読み出し動作開始前には、常に図2に示す「H」になっている。すなわち、参照用メモリセルR M Cには常に「0」が記憶されている。

【0032】読み出し時に、図1に示すように、図9に

8

示す行制御回路62によってワード線W L、R W Lに印加される信号の電圧が0 Vから電源電圧「V c c」に立ち上がった後、プレート線P Lに印加される信号の電圧が0 Vから電圧「V c c」に立ち上がると共にプレート線R P Lに印加される信号の電圧が0 Vから電圧「V c c 1」に立ち上がる。ここで、プレート線R P Lに印加される電圧V c c 1は電源電圧V c cより大きな電圧であり、本実施例の不揮発性メモリでは一般的なブートストラップ回路を用いて電圧V c c 1を発生している。

尚、電圧V c c 1は、強誘電体キャパシタF C、R F Cの特質に応じて、読み取り動作を適切に行うのに十分な所望のヒステリシスループを得られるように決定される。プレート線P L、R P Lの立ち上がりによって、強誘電体キャパシタF Cには電圧「－V 1」が印加され、強誘電体キャパシタF Cの分極状態は図2に示すヒステリシスループ1 o o p 4に沿って移動して最終的に「D」に変化する。また、参照用強誘電体キャパシタR F Cには電圧「－V 2」が印加され、参照用強誘電体キャパシタR F Cの分極状態は図2に示すヒステリシスループ1 o o p 1 5に沿って移動して最終的に「I」に変化する。このとき、強誘電体キャパシタF Cの分極状態は、記憶内容が「1」である場合には反転するが、「0」である場合には反転しない。一方、参照用強誘電体キャパシタR F Cの分極状態は常に反転しない。

【0033】このように読み出し時における強誘電体キャパシタF Cの分極状態が変化する過程において、分極電荷の移動量は、「1」が書き込まれているときには図2で示される分極電荷の移動量S C 1となり、「0」が書き込まれているときには分極電荷の移動量U S C 2となる。一方、この読み出し時における参照用強誘電体キャパシタR F Cの分極状態が変化する過程において、分極電荷の移動量は、図2に示される分極電荷の移動量U S C 1 3となる。

【0034】このように、本実施例では、読み出し時に、参照用強誘電体キャパシタR F Cに印加する電圧V c c 1を記憶用強誘電体キャパシタF Cに印加される電圧V c cに比べて大きくしていることから、参照用強誘電体キャパシタR F Cの分極電荷値および面積を記憶用強誘電体キャパシタF Cの面積と同じにしても、図2に示すように、参照用強誘電体キャパシタR F Cの分極電荷のヒステリシスループ1 o o p 1 5を記憶用強誘電体キャパシタF Cの分極電荷のヒステリシスループ1 o o p 4に比べて、傾きが大きく飽和性が低下したものにすることができる。これによって、参照用強誘電体キャパシタR F Cの分極電荷の移動量U S C 1 3をM Cの分極電荷の移動量S C 1と分極電荷の移動量U S C 2との間に設定することができる。そのため、差動センスアンプS Aにおいて、ビット線B L、R B Lの電位に基づいて、メモリセルM Cの記憶内容の読み取りを正確に行うことができる。また、本実施例の不揮発性メモリによれ

ば、参照用強誘電体キャパシタR F Cの面積を従来に比べて例えば40%程度縮小できることからチップ面積の縮小化および製造コストの削減を図ることができる。

【0035】第2実施例

本実施例の不揮発性メモリとしては、図9に示す構成の不揮発性メモリと等価な回路のメモリを用いる。但し、本実施例の不揮発性メモリは、図9に示す記憶用メモリセルMCの記憶用強誘電体キャパシタF Cおよび参照用メモリセルRMCの参照用強誘電体キャパシタR F Cとして同じ分極電荷値および面積を持つものを用いている。また、読み出し時において、記憶用メモリセルMCのプレート線P Lに印加する電圧を、参照用メモリセルRMCの参照用プレート線R P Lに印加する電源電圧V c cに比べて小さくしている。

【0036】図3は参照用セルRMCに常時「0」が記憶されている場合に、本実施例の不揮発性メモリセルの読み出し動作における図9に示すW L, P L, R W L, R P Lに印加される信号のタイミングチャートであり、図4は図3に示す動作における図9に示す強誘電体キャ

パシタF C, R F Cの分極電荷(P) - 電圧(V)の特性曲線(ヒステリシスループ)を示すグラフである。

【0037】本実施例に係わる1 T r - 1 C a pセルに「1」, 「0」が書き込まれている状態では記憶用強誘電体キャパシタF Cの分極状態はそれぞれ図4に示す「L」, 「J」になっている。一方、参照用強誘電体キャパシタR F Cの分極状態は、読み出し動作開始前には、常に図4に示す「M」になっている。

【0038】読み出し時に、図3に示すように、図9に示す行制御回路62によってワード線W L, R W Lに印加される信号の電圧が0 Vから電源電圧「V c c」に立ち上がった後、プレート線P Lに印加される信号の電圧が0 Vから電圧「V c c 2」に立ち上がると共にプレート線R P Lに印加される信号の電圧が0 Vから電圧「V c c」に立ち上がる。これによって、記憶用強誘電体キャパシタF Cには電圧「-V 3」が印加され、記憶用強誘電体キャパシタF Cの分極状態は図4に示すヒステリシスループ1 o o p 2 4に沿って移動して最終的に「K」に変化する。また、強誘電体キャパシタR F Cには電圧「-V 1」が印加され、強誘電体キャパシタR F Cの分極状態は図4に示すヒステリシスループ1 o o p 2 5に沿って移動して最終的に「N」に変化する。このとき、記憶用強誘電体キャパシタF Cの分極状態は、記憶内容が「1」である場合には反転するが、「0」である場合には反転しない。一方、強誘電体キャパシタR F Cの分極状態は常に反転しない。

【0039】このように読み出し時における記憶用強誘電体キャパシタF Cの分極状態が変化する過程において、分極電荷の移動量は、「1」が書き込まれているときには図4で示される分極電荷の移動量S C 2 1となり、「0」が書き込まれているときには分極電荷の移動

量U S C 2 2となる。一方、この読み出し時における強誘電体キャパシタR F Cの分極状態が変化する過程において、分極電荷の移動量は、図4に示される分極電荷の移動量U S C 2 3となる。

【0040】尚、本実施例の不揮発性メモリでは、プレート線P Lに印加する電圧「V c c 2」を一般的な降圧回路を用いて発生している。

【0041】このように、本実施例では、読み出し時に、記憶用強誘電体キャパシタF Cに印加する電圧V c c 2を強誘電体キャパシタR F Cに印加される電圧V c cに比べて小さくしていることから、強誘電体キャパシタR F Cの分極電荷値および面積を記憶用強誘電体キャパシタF Cのそれと同じにしても、強誘電体キャパシタR F Cの分極電荷のヒステリシスループ1 o o p 2 5を記憶用強誘電体キャパシタF Cの分極電荷のヒステリシスループ1 o o p 2 4に比べて傾きが大きく飽和性が低下したものにすることができる。これによって、強誘電体キャパシタR F Cの分極電荷の移動量U S C 2 3を記憶用強誘電体キャパシタF Cの分極電荷の移動量S C 2 1と分極電荷の移動量U S C 2 2との間に設定することができる。そのため、差動センスアンプS Aにおいて、ビット線B L, R B Lの電位に基づいて、メモリセルM Cの記憶内容の読み取りを正確に行うことができる。また、本実施例の不揮発性メモリによれば、参照用強誘電体キャパシタR F Cの面積を記憶用強誘電体キャパシタF Cに比べて大きくする必要がなくなり、従来に比べてチップ面積を縮小できる。

【0042】第3実施例

本実施例の不揮発性メモリとしては、図9に示す構成の不揮発性メモリと等価な回路のメモリを用いる。但し、本実施例の不揮発性メモリは、図9に示す参照用メモリセルRMCの強誘電体キャパシタR F Cとして、メモリセルMCの記憶用強誘電体キャパシタF Cに比べて多少大きな分極電荷値および面積を持つものを用いている。さらに、本実施例の不揮発性メモリでは、読み出し時において、参照用メモリセルRMCのプレート線R P Lに印加する電圧を、メモリセルMCのプレート線P Lに印加する電源電圧V c cに比べて大きくしている。

【0043】本実施例の不揮発性メモリセルの読み出し動作における図9に示すW L, P L, R W L, R P Lに印加される信号のタイミングチャートは前述した第1実施例の図1に示すタイミングチャートと同じである。図5は、本実施例の不揮発性メモリの動作における図9に示すF C, R F Cの分極電荷(P) - 電圧(V)の特性曲線(ヒステリシスループ)を示すグラフである。

【0044】図9に示す1 T r - 1 C a pセルに「1」, 「0」が書き込まれている状態では記憶用強誘電体キャパシタF Cの分極状態はそれぞれ図5に示す「A」, 「B」になっている。一方、強誘電体キャパシタR F Cの分極状態は、読み出し動作開始前には、常に

図5に示す「P」になっている。

【0045】読み出し時に、図1に示すように、図9に示す行制御回路62によってワード線WL、RWLに印加される信号の電圧が0Vから電源電圧「Vcc」に立ち上がった後、プレート線PLに印加される信号の電圧が0Vから電圧「Vcc」に立ち上がると共にプレート線RPLに印加される信号の電圧が0Vから電圧「Vc1」に立ち上がる。これによって、記憶用強誘電体キャパシタFCには電圧「-V1」が印加され、記憶用強誘電体キャパシタFCの分極状態は図5に示すヒステリシスループ100p4に沿って移動して最終的に「D」に変化する。また、強誘電体キャパシタRFCには電圧「-V3」が印加され、強誘電体キャパシタRFCの分極状態は図5に示すヒステリシスループ100p35に沿って移動して最終的に「Q」に変化する。このとき、記憶用強誘電体キャパシタFCの分極状態は、記憶内容が「1」である場合には反転するが、「0」である場合には反転しない。一方、強誘電体キャパシタRFCの分極状態は常に反転しない。

【0046】このように読み出し時における記憶用強誘電体キャパシタFCの分極状態が変化する過程において、分極電荷の移動量は、「1」が書き込まれているときには図5で示される分極電荷の移動量SC1となり、「0」が書き込まれているときには分極電荷の移動量USC2となる。一方、この読み出し時における強誘電体キャパシタRFCの分極状態が変化する過程において、分極電荷の移動量は、図5に示される分極電荷の移動量USC3となる。すなわち、本実施例では、強誘電体キャパシタRFCの分極電荷値および面積を記憶用強誘電体キャパシタFCに比べて多少大きくすることで、強誘電体キャパシタRFCのヒステリシスループの傾きを大きくし、その飽和性を低下させている。

【0047】尚、本実施例の不揮発性メモリでは、プレート線RPLに印加する電圧「Vc1」を一般的なブートストラップ回路を用いて発生している。

【0048】このように、本実施例では、読み出し時に、強誘電体キャパシタRFCに印加する電圧Vc1を記憶用強誘電体キャパシタFCに印加される電圧Vcに比べて大きくし、なおかつ、図9に示す参照メモリセルRMCの強誘電体キャパシタRFCとして、メモリセルMCの記憶用強誘電体キャパシタFCに比べて多少大きな分極電荷値および面積を持つものを用いることで、チップ面積を従来に比べて縮小し、なおかつ、強誘電体キャパシタRFCの分極電荷の移動量USC3をMCの分極電荷の移動量SC1と分極電荷の移動量USC2との間に正確に設定することができる。すなわち、強誘電体キャパシタRFCの分極電荷のヒステリシスループ100p35を記憶用強誘電体キャパシタFCの分極電荷のヒステリシスループ100p4に比べて傾きが大きく飽和性が低下したものにすることができる。その

ため、差動センスアンプSAにおいて、ビット線BL、RBLの電位に基づいて、メモリセルMCの記憶内容の読み取りを正確に行うことができる。尚、本実施例の不揮発性メモリセルは、例えば、飽和性が比較的高い特性の強誘電体キャパシタRFCを用いる場合に特に有効である。

【0049】第4実施例

本実施例の不揮発性メモリとしては、図9に示す構成の不揮発性メモリと等価な回路のメモリを用いる。但し、本実施例の不揮発性メモリは、図9に示すメモリセルMCの記憶用強誘電体キャパシタFCおよび参照メモリセルRMCの強誘電体キャパシタRFCとして同じ分極電荷値および面積を持つものを用いている。また、参照メモリセルRMCに常時「1」が記憶されている。また、読み出し時において、参照メモリセルRMCのプレート線RPLに負の電圧を印加する。

【0050】図6は参照メモリセルRMCに常時「1」が記憶されている場合に、本実施例の不揮発性メモリセルの読み出し動作における図9に示すWL、PL、RWL、RPL、BL、RBLに印加される信号のタイミングチャートであり、図7は図6に示す動作における図9に示す強誘電体キャパシタFC、RFCの分極電荷(P)-電圧(V)の特性曲線(ヒステリシスループ)を示すグラフである。

【0051】図9に示す1Tr-1Capセルに「1」、「0」が書き込まれている状態では記憶用強誘電体キャパシタFCの分極状態はそれぞれ図7に示す「A」、「B」になっている。一方、強誘電体キャパシタRFCの分極状態は、読み出し動作開始前には、常に図7に示す「R」になっている。

【0052】読み出し時に、図6に示すように、図9に示す列制御回路61によってビット線BL、RBLが電源電圧「Vcc」でプリチャージされた後に、行制御回路62によってワード線WL、RWLに印加される信号の電圧が0Vから電源電圧「Vcc」に立ち上がる。また、それと同時に、プレート線RPLに印加される信号の電圧が0Vから電圧「-V」に立ち下がる。その後、一定時間において、プレート線PLに印加される信号の電圧が0Vから電圧「Vc」に立ち上がる。これによって、記憶用強誘電体キャパシタFCには電圧「V1」が印加され、記憶用強誘電体キャパシタFCの分極状態は図7に示すヒステリシスループ100p4に沿って移動して最終的に「T」に変化する。また、強誘電体キャパシタRFCには電圧「V4」が印加され、強誘電体キャパシタRFCの分極状態は図7に示すヒステリシスループ100p45に沿って移動して最終的に「S」に変化する。このとき、記憶用強誘電体キャパシタFCの分極状態は、記憶内容が「1」である場合には反転しないが、「0」である場合には反転する。一方、強誘電体キャパシタRFCの分極状態は常に反転しない。

【0053】このように読み出し時における記憶用強誘電体キャパシタF Cの分極状態が変化する過程において、分極電荷の移動量は、「0」が書き込まれているときには図7で示される分極電荷の移動量S C 6となり、「1」が書き込まれているときには分極電荷の移動量U S C 7となる。一方、この読み出し時における強誘電体キャパシタR F Cの分極状態が変化する過程において、分極電荷の移動量は、図7に示される分極電荷の移動量U S C 4 8となる。

【0054】尚、本実施例の不揮発性メモリでは、プレート線R P Lに印加する電圧「-V」を一般的なブートストラップ回路を用いて発生している。

【0055】このように、本実施例では、読み出し時に、参照用プレート線R P Lに負の電圧「-V」を印加することで、強誘電体キャパシタR F Cの分極電荷値および面積を記憶用強誘電体キャパシタF Cのそれと同じにしても、強誘電体キャパシタR F Cの分極電荷のヒステリシスループ1 0 0 p 4 5を記憶用強誘電体キャパシタF Cの分極電荷のヒステリシスループ1 0 0 p 4 に比べて傾きが大きく飽和性が低下したものにすることができ、これによって、強誘電体キャパシタR F Cの分極電荷の移動量U S C 4 8をM Cの分極電荷の移動量S C 6と分極電荷の移動量U S C 7との間に設定することができる。そのため、差動センスアンプS Aにおいて、ビット線B L, R B Lの電位に基づいて、メモリセルM Cの記憶内容の読み取りを正確に行うことができる。すなわち、本実施例の不揮発性メモリによれば、参照用強誘電体キャパシタR F Cの面積を従来に比べて縮小でき、その結果、チップ面積を縮小できる。

【0056】第5実施例

本実施例の不揮発性メモリとしては、図9に示す構成の不揮発性メモリと等価な回路のメモリを用いる。但し、本実施例の不揮発性メモリは、図9に示す参照用メモリセルR M Cの強誘電体キャパシタR F Cとして、メモリセルM Cの記憶用強誘電体キャパシタF Cに比べて多少大きな分極電荷値および面積を持つものを用いている。また、参照用メモリセルR M Cに常時「1」が記憶されている。また、本実施例の不揮発性メモリでは、前述した第4実施例における場合と同様に、読み出し時において、参照用メモリセルR M Cのプレート線R P Lに負の電圧を印加する。

【0057】本実施例の不揮発性メモリセルの読み出し動作における図9に示すW L, P L, R W L, R P L, B L, R B Lに印加される信号のタイミングチャートは前述した第4実施例の図6に示すタイミングチャートと同じである。図8は、本実施例の不揮発性メモリの動作における図9に示す強誘電体キャパシタF C, R F Cの分極電荷(P) - 電圧(V)の特性曲線(ヒステリシスループ)を示すグラフである。

【0058】図9に示す1 T r - 1 C a pセルに

「1」, 「0」が書き込まれている状態では記憶用強誘電体キャパシタF Cの分極状態はそれぞれ図8に示す「A」, 「B」になっている。一方、強誘電体キャパシタR F Cの分極状態は、読み出し動作開始前には、常に図8に示す「U」になっている。

【0059】読み出し時に、図6に示すように、図9に示す列制御回路6 1によってビット線B L, R B Lが電源電圧「V c c」でプリチャージされた後に、行制御回路6 2によってワード線W L, R W Lに印加される信号の電圧が0 Vから電源電圧「V c c」に立ち上がる。また、それと同時に、プレート線R P Lに印加される信号の電圧が0 Vから電圧「-V」に立ち下がる。その後、一定時間をおいて、プレート線P Lに印加される信号の電圧が0 Vから電圧「V c c」に立ち上がる。これによって、記憶用強誘電体キャパシタF Cには電圧「V 1」が印加され、記憶用強誘電体キャパシタF Cの分極状態は図8に示すヒステリシスループ1 0 0 p 4に沿って移動して最終的に「T」に変化する。また、強誘電体キャパシタR F Cには電圧「V 5」が印加され、強誘電体キャパシタR F Cの分極状態は図8に示すヒステリシスループ1 0 0 p 5 5に沿って移動して最終的に「H」に変化する。このとき、記憶用強誘電体キャパシタF Cの分極状態は、記憶内容が「1」である場合には反転しないが、「0」である場合には反転する。一方、強誘電体キャパシタR F Cの分極状態は常に反転しない。

【0060】このように読み出し時における記憶用強誘電体キャパシタF Cの分極状態が変化する過程において、分極電荷の移動量は、「0」が書き込まれているときには図8で示される分極電荷の移動量S C 6となり、「1」が書き込まれているときには分極電荷の移動量U S C 7となる。一方、この読み出し時における強誘電体キャパシタR F Cの分極状態が変化する過程において、分極電荷の移動量は、図8に示される分極電荷の移動量U S C 5 8となる。

【0061】尚、本実施例の不揮発性メモリでは、プレート線R P Lに印加する電圧「-V」を一般的なブートストラップ回路を用いて発生している。

【0062】このように、本実施例では、読み出し時に、参照用プレート線R P Lに負の電圧「-V」を印加し、なおかつ、強誘電体キャパシタR F Cの分極電荷値および面積を記憶用強誘電体キャパシタF Cに比べて多少大きくすることで、R F Cのヒステリシスループの傾きを大きくし、その飽和性を低下させている。このようにすることで、強誘電体キャパシタR F Cの分極電荷の移動量U S C 5 8を記憶用強誘電体キャパシタF Cの分極電荷の移動量S C 6と分極電荷の移動量U S C 7との間に設定し、ビット線B L, R B Lの電位を用いた差動センスアンプによる読み取り動作を正確に行うことができ、なおかつ、強誘電体キャパシタR F Cの分極電荷値および面積を従来の強誘電体キャパシタR F Cのそれよ

15

りも小さくすることができる。

【0063】本発明は、上述した実施例には限定されない。例えば、上述した第3実施例の不揮発性メモリは、第2実施例に示すように、プレート線PLに電源電圧Vccより小さな電圧Vcc2を印加し、参照用プレート線RPLに電源電圧Vccを印加するようにしても同様の効果が得られる。

【0064】

【発明の効果】以上説明したように、本発明の強誘電体記憶装置によれば、参照セルの強誘電体キャパシタの面積を従来に比べて縮小化できる。そのため、装置（チップ）全体の面積を縮小化でき、製造コストも削減できる。また、本発明の強誘電体記憶装置によれば、記憶用セルの強誘電体キャパシタを構成する強誘電体膜の分極状態を安定して正確に判別でき、記憶情報の読み取り動作の信頼性を向上できる。

【図面の簡単な説明】

【図1】第1実施例の不揮発性メモリセルの読み出し動作における図9に示すWL、PL、RWL、RPLに印加される信号のタイミングチャートである。

【図2】図1に示す動作における図9に示すFC、RFCの分極電荷（P）-電圧（V）の特性曲線（ヒステリシスループ）を示す図である。

【図3】第2実施例の不揮発性メモリセルの読み出し動作における図9に示すWL、PL、RWL、RPLに印加される信号のタイミングチャートである。

【図4】図3に示す動作における図9に示す強誘電体キャパシタFC、RFCの分極電荷（P）-電圧（V）の特性曲線（ヒステリシスループ）を示す図である。

【図5】第3実施例の不揮発性メモリの動作における図9に示すFC、RFCの分極電荷（P）-電圧（V）の特性曲線（ヒステリシスループ）を示す図である。

【図6】第4実施例の不揮発性メモリセルの読み出し動作における図9に示すWL、PL、RWL、RPL、BL、RBLに印加される信号のタイミングチャートである。

16

【図7】図6に示す動作における図9に示すFC、RFCの分極電荷（P）-電圧（V）の特性曲線（ヒステリシスループ）を示す図である。

【図8】第5実施例の不揮発性メモリの動作における図9に示す強誘電体キャパシタFC、RFCの分極電荷（P）-電圧（V）の特性曲線（ヒステリシスループ）を示す図である。

【図9】1Tr-1Cap方式を採用した不揮発性メモリの基本的な1ビット構成を示す図である。

【図10】参照用メモリセルRMCに常時「0」が記憶されている従来の不揮発性メモリセルの読み出し動作において、WL、PL、RWL、RPL、BL、RBLに印加される信号のタイミングチャートである。

【図11】図10に示す従来の不揮発性メモリの動作におけるFC、RFCの分極電荷（P）-電圧（V）の特性曲線（ヒステリシスループ）を示す図である。

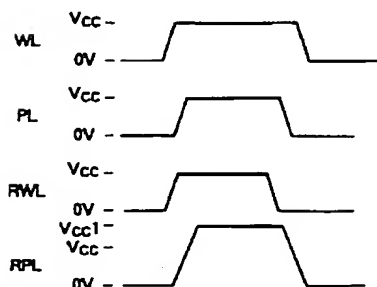
【図12】参照用メモリセルRMCに常時「1」が記憶されている従来のその他の不揮発性メモリセルの読み出し動作において、WL、PL、RWL、RPL、BL、RBLに印加される信号のタイミングチャートである。

【図13】図12に示す従来のその他の不揮発性メモリの動作におけるFC、RFCの分極電荷（P）-電圧（V）の特性曲線（ヒステリシスループ）を示す図である。

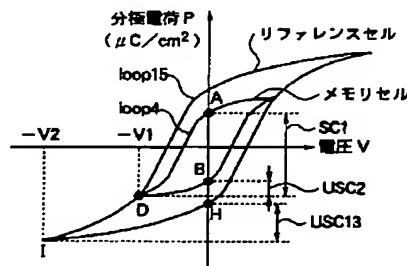
【符号の説明】

BL, RBL… ビット線
WL, RWL… ワード線
PL, RPL… プレート線
Tr, RTr… スイッチングトランジスタ
FC, RFC… 強誘電体キャパシタ
MC… メモリセル
RMC… 参照用メモリセル
SA… 差動センスアンプ
61… 列制御回路
62… 行制御回路

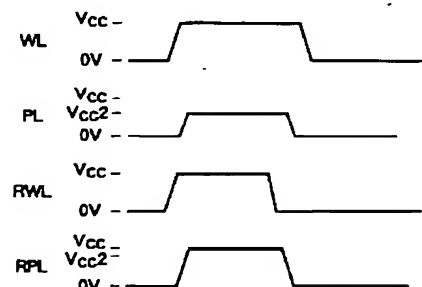
【図1】



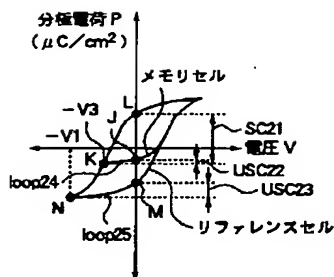
【図2】



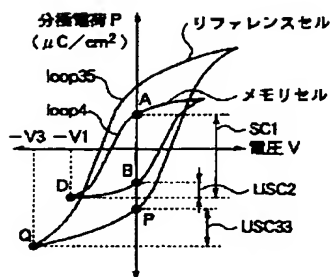
【図3】



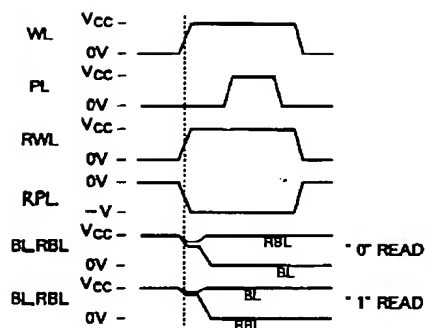
【図 4】



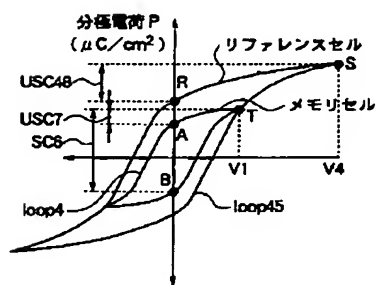
【図 5】



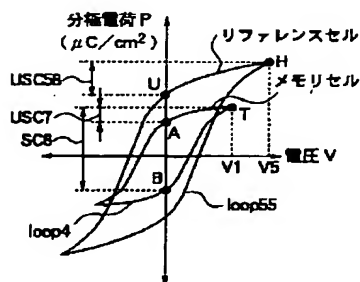
【図 6】



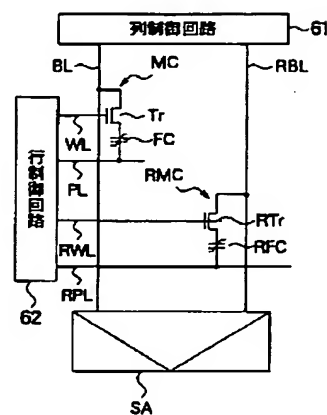
【図 7】



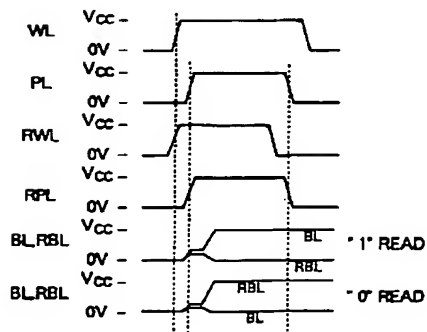
【図 8】



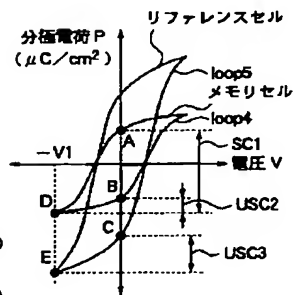
【図 9】



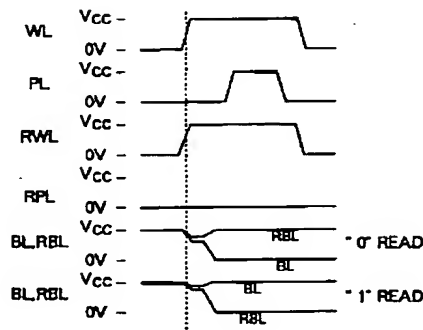
【図 10】



【図 11】



【図 12】



【図 13】

